



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02001669 A**(43) Date of publication of application: **05.01.90**

(51) Int. Cl

**H04L 12/56****H04Q 11/04**(21) Application number: **63102512**(22) Date of filing: **27.04.88**

(30) Priority: **15.07.87 JP 62174603**  
**09.10.87 JP 62253661**  
**11.11.87 JP 62283249**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **SAKURAI YOSHITO**  
**OTSUKI KANEICHI**  
**GOHARA SHINOBU**  
**MORI MAKOTO**  
**HORIKI AKIRA**  
**KATO TAKAO**  
**KUWABARA HIROSHI**

**(54) SWITCHING SYSTEM AND ITS CONSTITUTING METHOD**

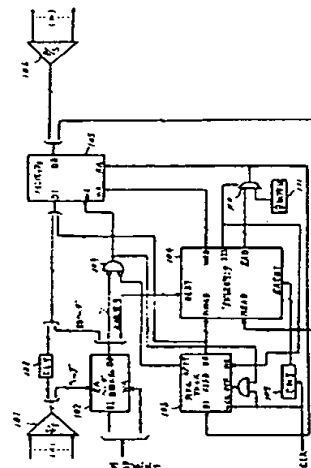
the idle address before it is read, overwrite can be prevented.

**(57) Abstract:**

COPYRIGHT: (C)1990,JPO&amp;Japio

**PURPOSE:** To intend the efficient use of a memory and the suppression of cell disappearance by providing a buffer to store the vacant address of a main buffer and a means to control a busy address correspondingly to an outgoing line.

**CONSTITUTION:** The write of a cell is performed as follows. The destination outgoing line number of a parallel-converted cell is inputted to an address pointer 104. Here, a write address previously inputted from an idle address FIFO 103 is obtained, and the cell is written in the main buffer 105. The read of the cell is performed by obtaining a read address from the address pointer 107 according to a number generating in a control counter 107. The value of the counter 107 corresponds to the outgoing line number. The used read address is sent to the FIFO 103, and is used as the write address. Thus, since the vacant address is obtained from the idle address independently of the destination outgoing line of the cell, the write can be performed whenever vacancy exists. Besides, since the address in which the cell is stored does not return to



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2569118号

(45) 発行日 平成9年(1997)1月8日

(24) 登録日 平成8年(1996)10月3日

(51) Int.Cl.<sup>8</sup>

H 0 4 L 12/28

識別記号

庁内整理番号

9466-5K

F I

H 0 4 L 11/20

技術表示箇所

H

請求項の数6(全20頁)

(21) 出願番号 特願昭63-102512

(22) 出願日 昭和63年(1988)4月27日

(65) 公開番号 特開平2-1669

(43) 公開日 平成2年(1990)1月5日

(31) 優先権主張番号 特願昭62-174603

(32) 優先日 昭62(1987)7月15日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願昭62-253661

(32) 優先日 昭62(1987)10月9日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願昭62-283249

(32) 優先日 昭62(1987)11月11日

(33) 優先権主張国 日本 (J P)

(73) 特許権者 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72) 発明者 櫻井 義人

神奈川県横浜市戸塚区戸塚町216番地

株式会社日立製作所戸塚工場内

(72) 発明者 大槻 兼市

神奈川県横浜市戸塚区戸塚町216番地

株式会社日立製作所戸塚工場内

(72) 発明者 郷原 忍

神奈川県横浜市戸塚区戸塚町216番地

株式会社日立製作所戸塚工場内

(74) 代理人 弁理士 小川 勝男 (外1名)

審査官 吉田 隆之

最終頁に続く

(54) 【発明の名称】 スイッチングシステム及びその構成方法

(57) 【特許請求の範囲】

【請求項1】 ヘッダ部と情報部から成る固定長のセルを前記セルのヘッダ部に含まれる情報に基づき複数の入力ハイウェイと複数の出力ハイウェイとの間で交換するスイッチングシステムであって、

前記複数の入力ハイウェイを多重化する多重化手段と、前記多重化手段から受信したセルを蓄積する第1の記憶手段と、前記第1の記憶手段の出力を多重分離して前記複数の出力ハイウェイに振り分ける分離化手段と、前記第1の記憶手段の空きアドレスに対応した情報を蓄積する第2の記憶手段と、前記第2の記憶手段に蓄積された情報に対応して前記第1の記憶手段への前記セルの書き込みおよび読み出しを制御する制御回路とで構成され、前記制御回路は、前記第1の記憶手段と第2の記憶手段とに共通配置され、前記制御回路からの前記第1の記憶

手段の読み出しアドレスに基づいて前記第1の記憶手段の空きアドレスに対応した情報を前記第2の記憶手段に蓄積し、前記第2の記憶手段からの情報を前記第1の記憶手段の書き込みアドレスとして出力するように接続したことを特徴とするスイッチングシステム。

【請求項2】 ヘッダ部と情報部から成る固定長のセルを前記セルのヘッダ部に含まれる情報に基づき複数の入力ハイウェイと複数の出力ハイウェイとの間で交換するスイッチングシステムであって、

前記複数の入力ハイウェイから受信したセルを蓄積して前記セルを前記複数の出力ハイウェイの宛先出力ハイウェイに交換する第1の記憶手段と、前記第1の記憶手段の空きアドレスに対応した情報を蓄積する第2の記憶手段と、前記第2の記憶手段に蓄積された情報に対応して前記第1の記憶手段への前記セルの書き込みおよび読み

った通信を扱うという概念は明示されていないが、固定長セルを、バッファメモリを用いて時間的に入れ換える機能を有している。その際に、セルの待ち合わせとスイッチングは同一のバッファメモリを用いる。待ち合わせを実現するために、セルのバッファメモリへの書き込みアドレスを、ヘッダによって知ることが出来る。そのセルの宛先別に格納しておく待ち行列手段が設けられている。

#### 〔発明が解決しようとする課題〕

固定長セルを用いてスイッチングを行なう場合、各セルの宛先が必ずしも平均的に分布していないため、同一宛先へ向けたセルが一時的に集中し、輻輳状態となったり、メモリのオーバーフローによるセルが消失してしまう事が起こり得る。上記の最初に挙げた、本出願人による論文では、輻輳状態回避のため待ち合わせのためのバッファメモリを、各宛先出ハイウェイ別に設けている。このバッファメモリは、セル全体を格納するもので、かつ、オーバーフローしないだけ多数のセルを格納できるものである必要があり、しかも、宛先毎に個別に設けなければならない。従って、この構成では、大量のメモリを必要とするという問題がある。一方、2番目の例に挙げたスイッチングシステム（特開昭59-135994号）では、バッファメモリは全入ハイウェイに対し1つであり、バッファメモリのアドレスだけを記憶する待ち行列手段がセルの宛先別に複数設けられている。この構成では、比較的少ないメモリ量で各セルの宛先の偏りは吸収され得る。しかしながら、バッファメモリの書き込みアドレスは周期的に用いられるため、論理的にはバッファメモリは各宛先対応に固定的に分割されているのと同等であり、ある待ち行列の待ちが一定量を越えると、読み出されていないセルがまだ残っているにもかかわらず、同一の書き込みアドレスが使われ、バッファメモリの上書きが起こる。このとき上書きされたセルは消失してしまうという問題がある。

本発明の目的は、上記従来例の問題点を解決し、メモリの大量使用をなくし、かつバッファメモリの上書きによってブロックが消失しないスイッチングシステムを提供することにある。

#### 〔課題を解決するための手段〕

上記目的を達成するために、複数の入ハイウェイ（以下では単に入線と称する）を時分割多重し、到着したセルをバッファメモリ（以下メインバッファと称する）に書き込み、これを適当な順序で読み出し、多重分離し、複数の出ハイウェイ（以下では単に出線と称する）に振り分けることによって交換動作を行うスイッチングシステムにおいて、メインバッファの空きアドレスを格納しておくFIFO（First In First Out）バッファ（アイドルアドレスFIFOと称する）と、使用中アドレスを出線対応に管理する手段を設け、メインバッファへのセルの書き込み時には、上記アイドルアドレスFIFOバッファのデータ出

力から空アドレスを取り出し、メインバッファからのセルの読出し時には、読み出しが終ったアドレスを上記アイドルアドレスFIFOバッファのデータ入力へ戻す、アイドルアドレスチェーンを持つようにした。

#### 〔作用〕

セルが到着し、これをメインバッファに書き込む際には、そのセルの宛先出線に関係なく、1つのアイドルアドレスFIFOから空きアドレスを得るため、メインバッファに空きがある限りメインバッファ内のどの領域でもセルを書き込む事ができる。到着するセルの宛先が特定の出線へ偏っていたとしても、その分は他の宛先へのセルが減少しているはずなので、必要となるメインバッファの容量は変わらない。

また、セルを読み出すまでは、そのセルが格納されているアドレスはアイドルアドレスFIFOに戻らないので、同一アドレスにセルが上書きされて、そこに格納されていたセルが消失してしまう事はない。

#### 〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図においては、n本の入線が、直並列変換多重器101を介してメインバッファ105のデータ入力（DI）に接続され、メインバッファ105のデータ出力（DO）は、並直列変換多重分離器に接続されm本の出線に分離されている。直並列変換多重器101の出力のうち、セルのヘッダに相当する部分は、ヘッダ変換テーブル102の読出しアドレス端子（RA）に接続され、ヘッダ変換テーブル102のデータ出力（DO）のうち、新ヘッダ部分はメインバッファ105のデータ入力へ接続され、空き／使用中情報（空＝0）部分はANDゲート109を介しメインバッファ105の書き込みイネーブル入力（WE）へ接続され、出線番号部分はアドレスポイント104の宛先出線番号入力（DEST）に接続される。ヘッダ変換テーブル102のデータ入力（DI）と書き込みアドレス（WA）は、図示していない制御系に接続されている。アイドルアドレスFIFO103のデータ出力（DO）はメインバッファ105のデータ入力（DI）とアドレスポイント104の次書き込みアドレス入力（NWA）へ接続され、空き表示出力（EMPTY）はANDゲート109を介しメインバッファ105の書き込みイネーブル入力（WE）へ接続される。アドレスポイント104の書き込みアドレス出力（WAD）はメインバッファ105の書き込みアドレス入力（WA）へ接続され、読出しアドレス出力（RAD）は、セクタ110を介しメインバッファ105の読出しアドレス出力（RA）とアイドルアドレスFIFO103のデータ入力（DI）に接続される。メインバッファ105のデータ出力（DO）のうち、次読出しアドレスに相当する部分はアドレスポイント104の次読出しアドレス入力（NRAD）へ接続され、それ以外の部分、即ちセル本体に相当する部分は、並直列変換多重分離器106を介し、各出線へ分離される。制御カウンタ107の出力はアドレスポイント104の読出しカウンタ入力（RACNT）へ接続される。空アドレ

(WA) を出力するカウンタで、メモリ501のアドレスの数だけカウントするリングカウンタである。読出しカウンタ503は、読出しアドレス (RA) を出力するカウンタで、メモリ501のアドレスの数だけカウントするリングカウンタである。両カウンタの値が同一になった時はメモリが空になった状態であるから、これを一致検出器504で検出して空き出力 (EPTY) を出す。以上のように、全体としてはFIFO機能を持つものである。

次に第6図を用いて他の実施例を説明する。第6図に示すスイッチングシステムは、基本的には第1図に示すものと同じ原理によるものであるが、第1図のものに更に優先制御機構を付加してある。第6図において第1図に示す構成要素と同一のものは同一の符号を付与してあり、説明は省略する。第1図との最も大きな相違は、アドレスポインタが複数ある点である。ここでは優先クラスとして3つのクラスがあると仮定する。それぞれクラス1 (C1)、クラス2 (C2)、クラス3 (C3) と称する。

第6図のヘッダ変換テーブル102の出力には、クラス表示が含まれている。クラス表示出力は、クラスデコーダ (CDEC) 605の入力と書込みクラスセレクト (WSEL) 606の選択入力に接続される。クラスデコーダ (CDEC) 605の各デコード出力は、それぞれのクラスに対応するアドレスポインタの書込みアドレスイネーブル入力 (WAE N) へ接続される。クラスデコーダ (CDEC) 605のデコード出力のうち、C2出力はアップダウンカウンタ608の出力とANDをとってC2' とする。クラスデコーダ (CDEC) 605のC1、C3出力とC2' のOR出力をメインバッファ105の書込みイネーブル (WE) に接続する。各クラブに対応するアドレスポインタ、即ちアドレスポインタ (クラス1) 601、アドレスポインタ (クラス2) 602、アドレスポインタ (クラス3) 603の各キュー状態表示出力 (STS) は読出アドレス制御604の入力に接続される。読出アドレス制御の出力と出力の関係は一例を第7図に示す。読出アドレス制御604の出力は読出クラスセレクト (RSEL) 607とデコーダ (REDEC) 609の入力に接続される。デコーダ (REDEC) 609のデコード出力はそれぞれ対応するクラスのアドレスポインタの読出アドレスイネーブル入力 (RAEN) に接続されるとともに、デコード出力のORがアイドルアドレスFIFOの書込みイネーブル入力 (WE) に接続される。尚、アップダウンカウンタ608はクラス2の読出アドレスイネーブル入力 (RAEN) がアップ入力、C2' がダウン入力である。ここで各クラスの定義は、クラス1が遅延時間が小さく、セルの紛失率も小さいもの、クラス2が遅延時間が小さいが、セル紛失率はやや大きいもの、クラス3が遅延時間はやや大きいセル紛失率が小さいものである。クラス2は紛失率が他のクラスよりやや大きくても良いので、使用可能なメインバッファの容量を制限する。具体的には、アップダウンカウンタ608に使用を許す容量をセル数換算でセットする。

アップダウンカウンタ608は、書込み時にダウン、読出し時にアップするので、このカウンタが0になった時は制限値一杯までメインバッファを使用している事を示す。この時はC2' 出力は1となりこのクラスの新たな書込みは行なわれない。従って、この時到着したクラス2のセルは廃棄される。一方、遅延時間については、クラス1が一番小さく、クラス3が一番大きくなるように読出アクセス制御で読出しの優先順位付けを行う。具体的には出線毎に、クラス1のセルがメインバッファ内にある時はまずそれを読出し、クラス1のキューが無くなったらクラスのセルを読出し、クラス2のキューも無くなったらクラス3のセルを読出す、というように行う。

セルが到着するとヘッダ変換テーブル102の出力によりそのセルが属するクラスが識別でき、クラスデコーダ605によりそのクラスに対応するアドレスポインタへ書込みアドレスイネーブル出力 (WAEN) が出される。これに対してアドレスポインタが出力した書込みアドレス出力 (WAD) は書込みクラスセレクト (WSEL) 606で選択されメインバッファの書込みアドレス (WA) として用いられる。一方、読出しの場合は、先に述べたように、読出アクセス制御604が、各クラスの各出線対応の待ちキューの有無を監視して、待ちキューがあるものの中で最も優先順位の高いものから出力するように制御する。具体的には、デコーダ609のデコード出力が、読出しを行うクラスのアドレスポインタを指示し、読出しクラスセレクト607が、読出しを行うべきクラスのアドレスポインタが入力した読出しアドレス出力を選択し、メインバッファの読出しアドレスとする。

次に、第8図を用いて別の実施例を説明する。第8図の構成は第1図のヘッダ変換テーブル102が無いものである。この場合は、入線から到着するセルの構造が、第9図のようになっている。このような形式はスイッチの前段に入線毎にヘッダ変換テーブルを設ける構成に適している。また、後で述べる多段構成のスイッチを考えたとき、各段のスイッチでそれぞれヘッダ変換をせずに、前もって一括してヘッダ変換を行う事ができるという特徴がある。

尚、ここまで述べた各実施例において、メインバッファとアイドルアドレスFIFO、または、メインバッファとアイドルアドレスFIFOとアドレスポインタを、集積回路化し、同一チップ上に搭載すれば、小形のスイッチが実現できるとともに、以下に述べる多段構成の実現も容易となる。

次に、第10図および第11図を用いて、多段構成のスイッチ (多段通話路スイッチ) の実施例を説明する。まず、具体的な実施例の説明に先だって、多段スイッチのノンブロック条件について説明する。

従来、回線交換におけるノンブロックの多段通話路スイッチとしては、クロス形が良く知られている。(秋丸著「現代交換工学概論」オーム社昭和54年PP. 136~137

01に接続され、そのm本のデコード出力はそれぞれm個のFIFOバッファ1303～1304の書き込み信号(WCK)入力に接続される。FIFOバッファ1303～1304のデータ入力は、第12図のアイドルアドレスFIFOのデータ出力である。FIFOバッファ1303～1304のデータ出力は読出アドレスセクタ1305を介して読出アドレス出力(RAD)となる。読出アドレスセクタ1305は制御カウンタ入力(RACNT)選択入力とする。制御カウンタ入力(RACNT)は更に、読出順序デコード1302の入力と空状態セクタ(EPSEL)1306の選択入力に接続される。読出順序デコード1302のデコード出力は各FIFOバッファの読出し信号(RCK)入力に接続される。各FIFOバッファの空き状態信号(EP)は空状態セクタ(EPSEL)を介して、キュー状態表示出力(STS)となる。

本実施例では、セル書き込み時はアイドルアドレスFIFOから空アドレスを取出し、これをそのままメインバッファの書き込みアドレスとする。同時に該アドレスを、アドレスFIFO群1201の中のそのセルの宛先出線番号に対応するFIFOバッファに書き込む。読出し時は、各FIFOバッファから順にアドレスを取出し、これを読出しアドレスとしてメインバッファからセルを読出す。FIFOバッファが空の時はEP出力が出される。

本構成では、出線当りのバッファ可能セル数がアドレスFIFO群の中のFIFOバッファの容量で制限されてしまうが、この容量を充分大きめにとっておけば、全体としては本構成は簡単な構成である。

第14図はスイッチ規模の拡張の一実施例である。ヘッダ駆動形時間スイッチ1401～1402とヘッダ駆動形空間スイッチ1403から成り、入線に対応してヘッダ駆動形時間スイッチ1401～1402を設け、その各出力をヘッダ駆動形空間スイッチの入力とする。

ここで、ヘッダ駆動形時間スイッチというのは、ヘッダ情報に基づいてセルの時間順序を入れ換えるもので、具体的には、既に述べた第1図、第6図、第8図、第12図等のスイッチングシステムが適用できる(但し、多重、多重分離部を除いたもの)。これらの既に述べたスイッチングシステムでは、セルの読出しは制御カウンタの値に基づいて行う。そこで、第14図のn個のヘッダ駆動形時間スイッチの制御カウンタの値が常に全て異なるようにしておけば(例えば1つずつずらしておけば)、同時に読出されたセルは全てその宛先出線番号が異なる。従って、ヘッダ駆動形空間スイッチ1403では、同時に入力したセルの宛先が同じであるための衝突が起こらない。このため、ヘッダ駆動形空間スイッチは第15図に示すような簡単な構成で良い。第15図では、各出入線に対応してタイミング回路1501～150n、セクタ1511～151n、選択アドレス発生部1521～152nを設け、各入線のヘッダ情報に相当する部分はそれぞれ全入線分を選択アドレス発生部に接続し、各入線のヘッダ以外の部分はタイミング回路を介して各出線対応のセクタそれぞれへ接

続する。同時に入力したセルの宛先は全て異なるので、各選択アドレス発生部には、自分のところに相当する宛先を持ったヘッダ情報が1つだけ来る。そのヘッダ情報が来た入線に相当する選択アドレスを発生すればセクタにより宛先通りの選択がなされ、全体としては空間スイッチ動作を行った事になる。

第16図は第12図の構成に優先制御機構を付加したものである。ヘッダ変換テーブル102のデータ出力にクラス表示出力があり、これがアドレスFIFO群1601のクラス入力(CLS)に接続される。

第17図は優先制御機能付きアドレスFIFO群の構成である。第13図と同様な部分の説明は省略する。本実施例では、読出順序に優先、非優先の2クラスを設けている。そこで、各出線対応に2つずつのFIFOバッファ(例えば1702と1704)を設けている。FIFOバッファの書き込み信号入力(WCK)は出線番号デコード1301のデコード出力と、クラス情報デコード1701のデコード出力のAND条件をとっている。また読出し信号入力(RCK)は読出し順序デコード1302のデコード出力と各FIFOの空状態表示出力(EP)とのANDをとっている。この構成によれば、セルの書き込み時は、書き込みアドレス(WAD)はその出線番号とクラスに応じたFIFOバッファへ格納され、セルの読出し時には、読出し優先側のFIFO(例えば1702)が空になるまでは常にこちらのFIFOから読出しアドレスが出力され、このFIFOが空になると始めてもう一方のFIFO(例えば1704)が読み出される。

本実施例は遅延時間に関する優先度を2クラス設けて説明したが、更にFIFOバッファをクラス毎に増やして、多数のクラスに対応する事が出来る。また、FIFOバッファの容量を制御することによって、紛失率の違いによるクラス分けにも適用できる。

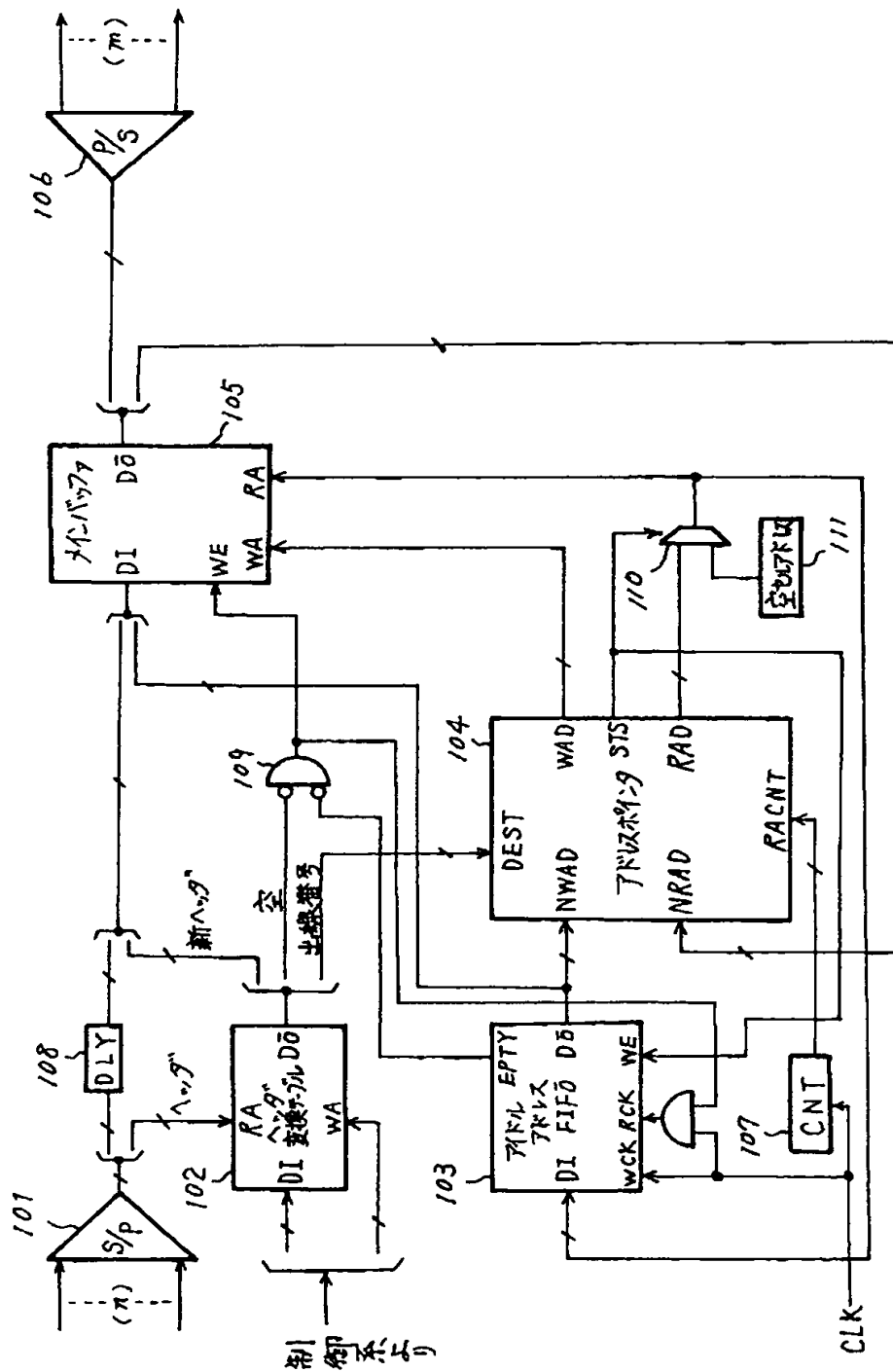
#### 【発明の効果】

本発明によれば、メインバッファからセルが読出される前に新たなセルが書き込まれることによるセルの消失が生じない。また、全ての出線に対してメインバッファの全領域が共通に使えるので、特定の出線へのセルの宛先の偏りが生じても、メモリ容量を効率良く使える。従ってセルの廃棄が起きにくい。このことは特に、瞬時的に同一宛先のセルが集中して到着する、バースト性の強い通信を扱う際に効果がある。

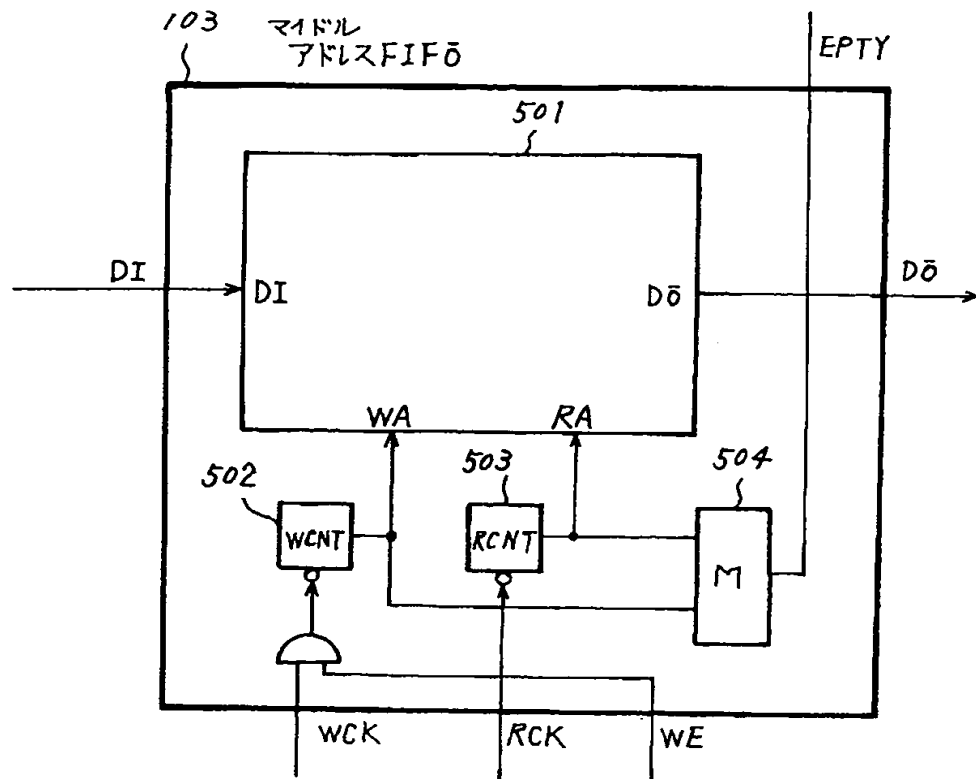
#### 【図面の簡単な説明】

第1図は本発明の一実施例の機能ブロック図、第2図は第1図の実施例で用いるセルの構造の説明図、第3図は第1図のアドレスポインタの詳細機能ブロック図、第4図は第1図の直並列変換多重器の動作説明図、第5図は第1図のアイドルアドレスFIFOの詳細機能ブロック図、第6図は本発明の一実施例の機能ブロック図、第7図は第6図の読出アクセス制御の論理の説明図、第8図は本発明の一実施例の機能ブロック図、第9図は第8図の実施例で用いるセルの構造の説明図、第10図、第11図は本

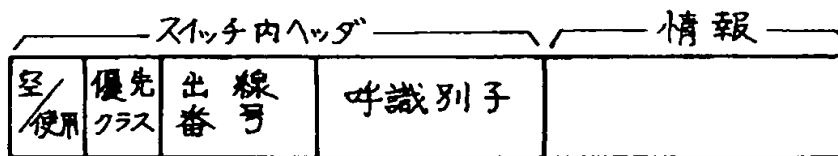
【第 1 図】



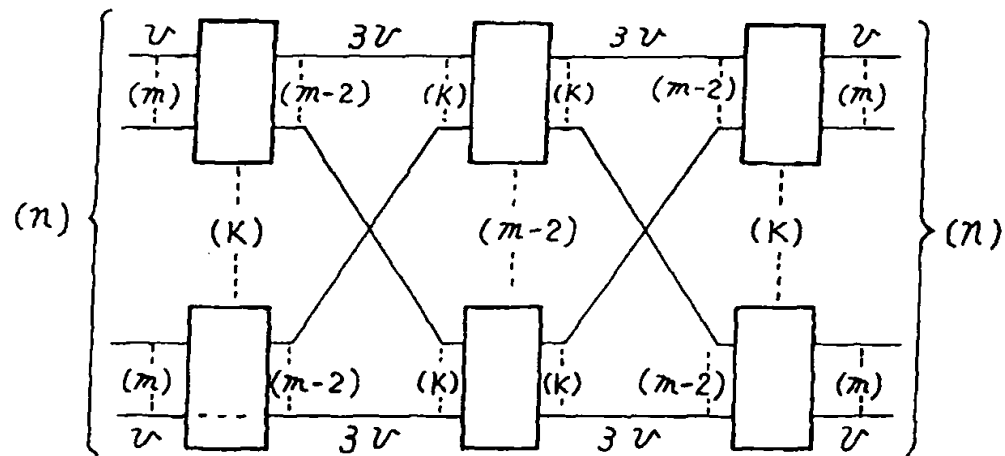
【第 5 図】



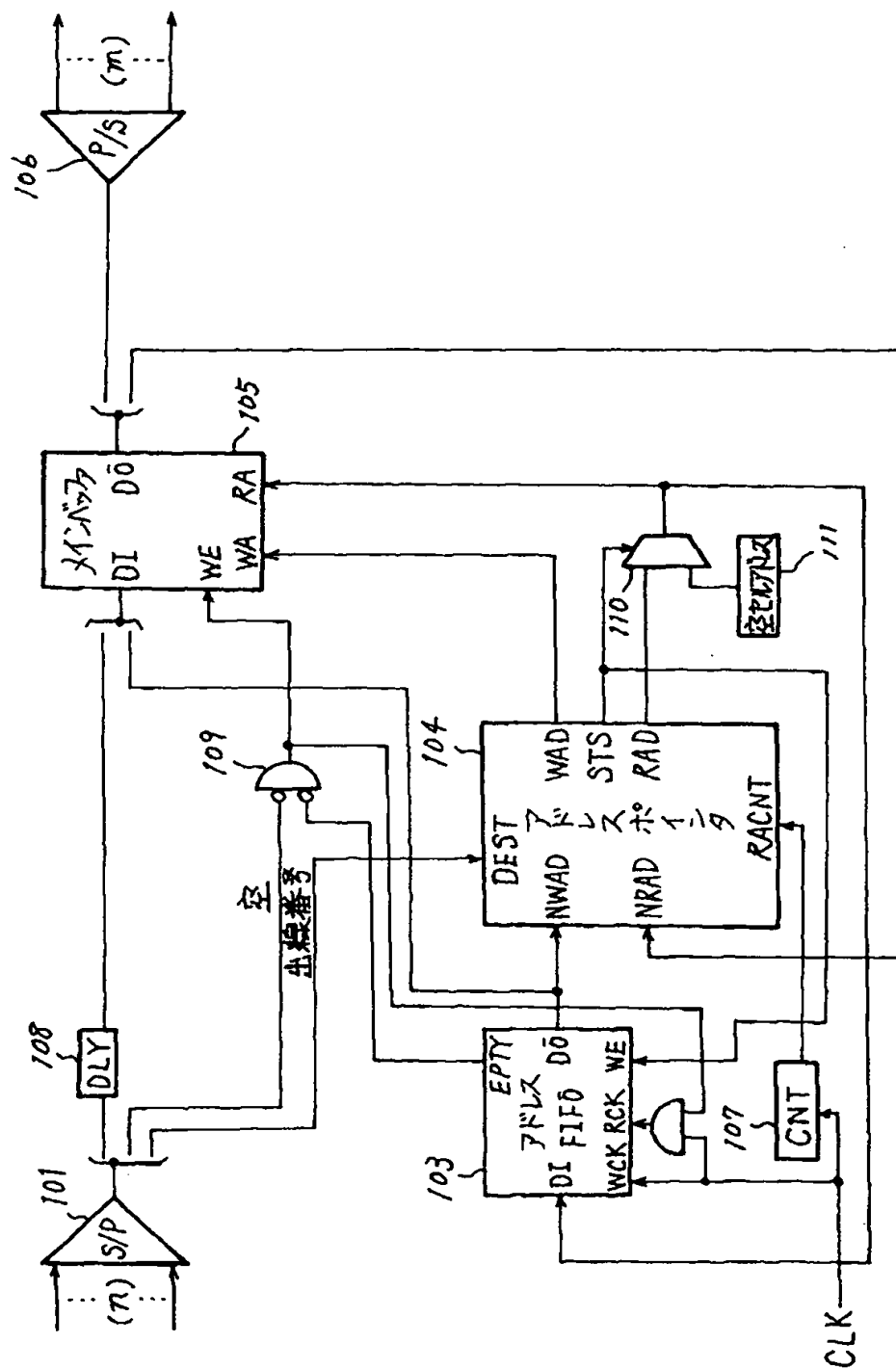
【第 9 図】



【第 1 1 図】

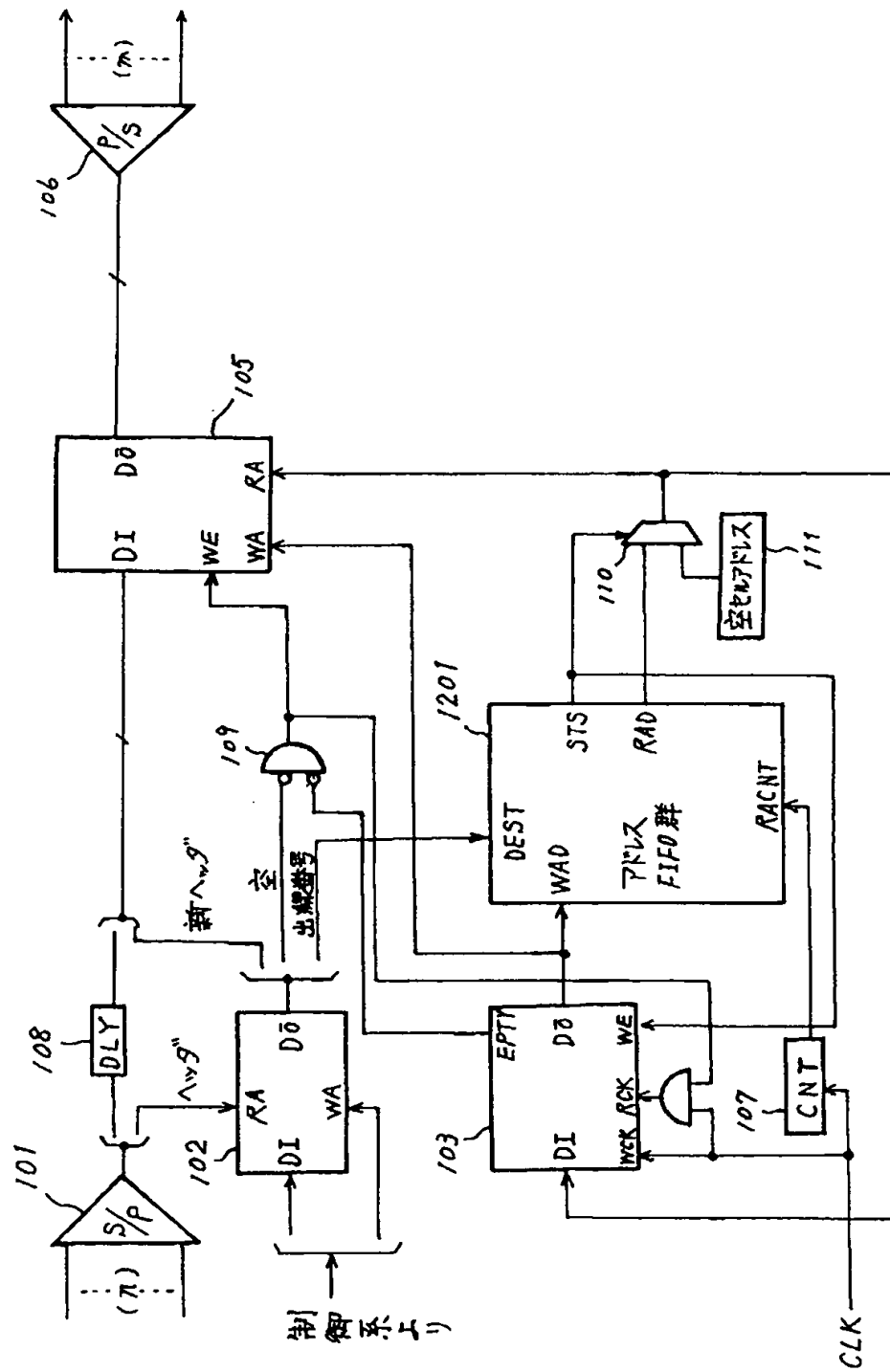


【第 8 図】

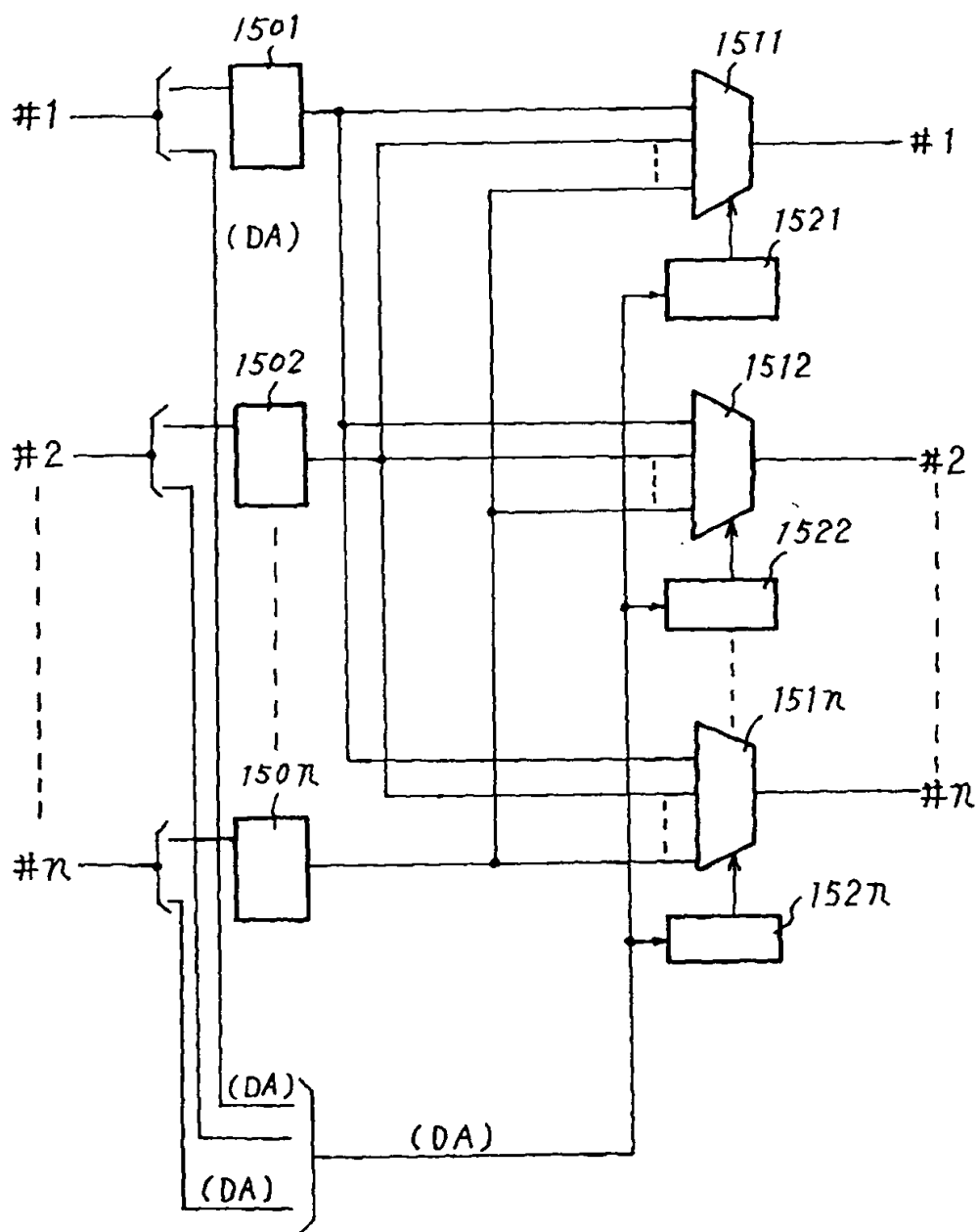




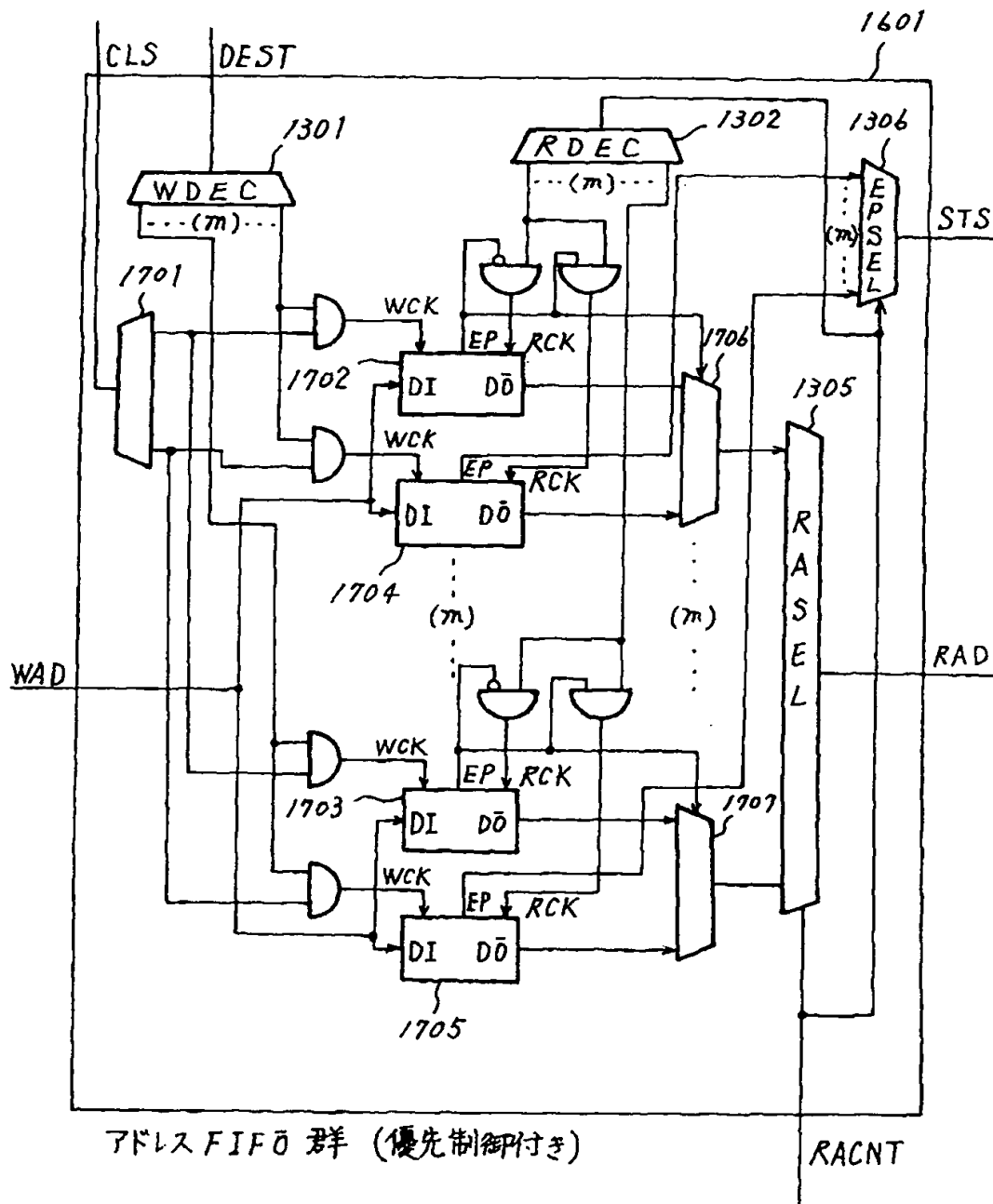
【第 1 2 図】



【第 1 5 图】



【第 17 図】



フロントページの続き

(72) 発明者 森 誠  
神奈川県横浜市戸塚区戸塚町216番地  
株式会社日立製作所戸塚工場内

(72) 発明者 堀木 晃  
神奈川県横浜市戸塚区戸塚町216番地  
株式会社日立製作所戸塚工場内

(72) 発明者	加藤 孝雄 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内
(72) 発明者	桑原 弘 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内